

ใบงานที่ 2.1

วงจรลอจิกเกต



จุดประสงค์การทดลอง

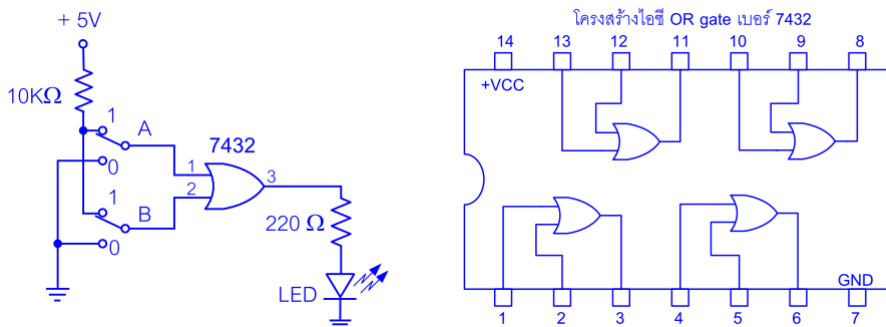
1. ประกอบวงจรลอจิกเกตได้
2. ทดสอบคุณสมบัติของลอจิกเกตชนิดต่าง ๆ ได้
3. ใช้เครื่องมือวัดและทดสอบตรวจสอบการทำงานของวงจรลอจิกเกตได้
4. วิเคราะห์การทำงานของวงจรลอจิกเกตและการลดรูปสมการได้

เครื่องมือและอุปกรณ์

- | | |
|--|-----------------|
| 1. ดีซีโวลต์มิเตอร์ | จำนวน 1 เครื่อง |
| 2. ชุดทดลองดิจิทัล | จำนวน 1 ชุด |
| 3. ไอซีลอจิกเกตตระกูล TTL เบอร์ 7400, 7402, 7404, 7408, 7432, 7486 และ 74266 เบอร์ละ 1 ตัว | จำนวน 7 ตัว |

ลำดับขั้นการทดลอง

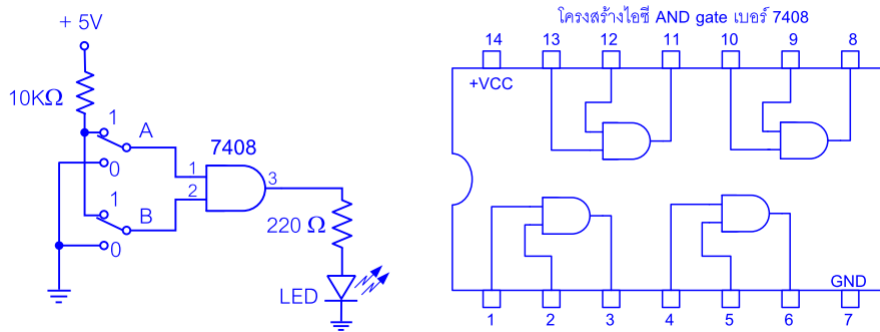
1. ต่อยังวงจรตามรูปด้านล่าง แล้วป้อนอินพุตตามตารางที่ 1 บันทึกผลลงในตารางที่ 1



ตารางที่ 1 สำหรับการทดลองข้อที่ 1 OR gate

อินพุต		เอาต์พุต		
B	A	ระดับลอจิก (0/1)	แรงดันไฟฟ้า (V)	LED1 (ดับ/สว่าง)
0	0	0	0.1	ดับ
0	1	1	4.5	สว่าง
1	0	1	4.5	สว่าง
1	1	1	4.5	สว่าง

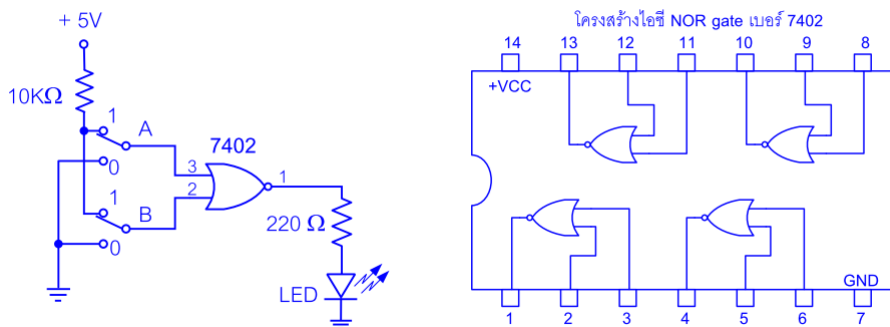
2. ต่วงจรตามรูปด้านล่าง แล้วป้อนอินพุตตามตารางที่ 2 บันทึกผลลงในตารางที่ 2



ตารางที่ 2 สำหรับการทดลองข้อที่ 2 AND gate

อินพุต		เอาต์พุต		
B	A	ระดับลอจิก (0/1)	แรงดันไฟฟ้า (V)	LED1 (ดับ/สว่าง)
0	0	0	0.1	ดับ
0	1	0	0.1	ดับ
1	0	0	0.1	ดับ
1	1	1	4.5	สว่าง

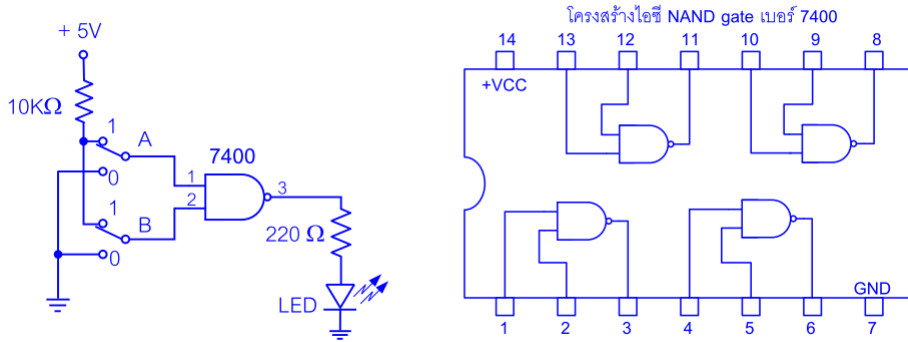
3. ต่วงจรตามรูปด้านล่าง แล้วป้อนอินพุตตามตารางที่ 3 บันทึกผลลงในตารางที่ 3



ตารางที่ 3 สำหรับการทดลองข้อที่ 3 NOR gate

อินพุต		เอาต์พุต		
B	A	ระดับลอจิก (0/1)	แรงดันไฟฟ้า (V)	LED1 (ดับ/สว่าง)
0	0	1	4.5	สว่าง
0	1	0	0.1	ดับ
1	0	0	0.1	ดับ
1	1	0	0.1	ดับ

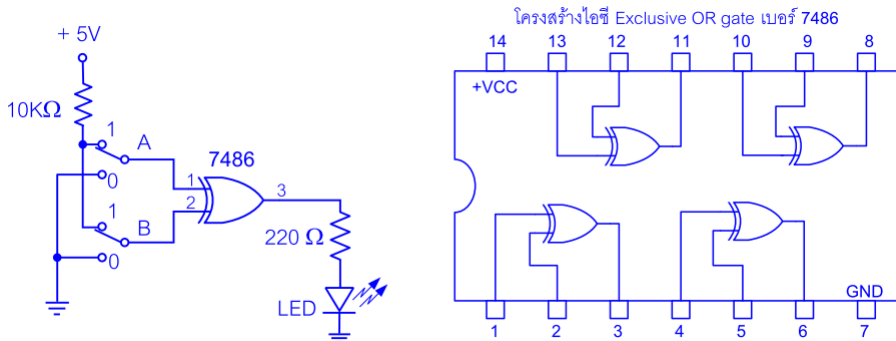
4. ต่วงจรตามรูปด้านล่าง แล้วป้อนอินพุตตามตารางที่ 4 บันทึกผลลงในตารางที่ 4



ตารางที่ 4 สำหรับการทดลองข้อที่ 4 NAND gate

อินพุต		เอาต์พุต		
B	A	ระดับลอจิก (0/1)	แรงดันไฟฟ้า (V)	LED1 (ดับ/สว่าง)
0	0	1	4.5	สว่าง
0	1	1	4.5	สว่าง
1	0	1	4.5	สว่าง
1	1	0	0.1	ดับ

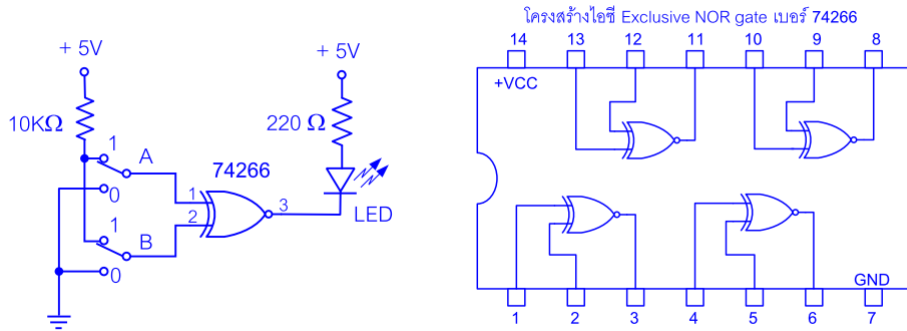
5. ต่วงจรตามรูปด้านล่าง แล้วป้อนอินพุตตามตารางที่ 5 บันทึกผลลงในตารางที่ 5



ตารางที่ 5 สำหรับการทดลองข้อที่ 5 Exclusive OR gate

อินพุต		เอาต์พุต		
B	A	ระดับลอจิก (0/1)	แรงดันไฟฟ้า (V)	LED1 (ดับ/สว่าง)
0	0	0	0.1	ดับ
0	1	1	4.5	สว่าง
1	0	1	4.5	สว่าง
1	1	0	0.1	ดับ

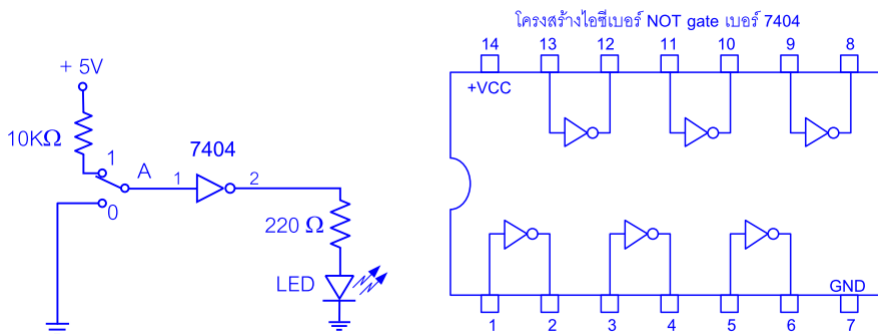
6. ต่วงจรตามรูปด้านล่าง แล้วป้อนอินพุตตามตารางที่ 6 บันทึกผลลงในตารางที่ 6



ตารางที่ 6 สำหรับการทดลองข้อที่ 6 Exclusive NOR gate (Open collector)

อินพุต		เอาต์พุต		
B	A	ระดับลอจิก (0/1)	แรงดันไฟฟ้า (V)	LED1 (ดับ/สว่าง)
0	0	1	4.5	สว่าง
0	1	0	0.1	ดับ
1	0	0	0.1	ดับ
1	1	1	4.5	สว่าง

7. ต่วงจรตามรูปด้านล่าง แล้วป้อนอินพุตตามตารางที่ 7 บันทึกผลลงในตารางที่ 7



ตารางที่ 7 สำหรับการทดลองข้อที่ 7 NOT gate

อินพุต	เอาต์พุต		
A	ระดับลอจิก (0/1)	แรงดันไฟฟ้า (V)	LED1 (ดับ/สว่าง)
0	1	4.5	สว่าง
1	0	0.1	ดับ

ใบงานที่ 2.2

การลดรูปสมการ



จุดประสงค์การทดลอง

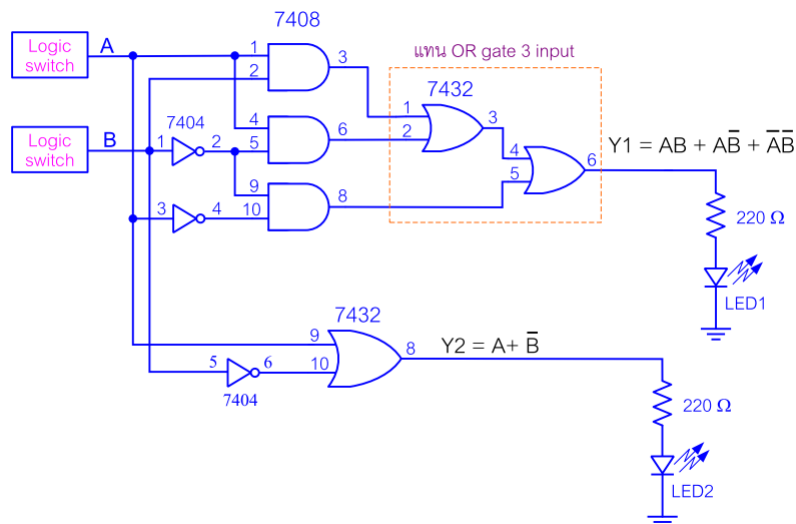
1. ประกอบวงจรลอจิกเกตได้
2. ออกแบบวงจรด้วยวิธีลดรูปสมการโดยใช้พีชคณิตบูลีนได้
3. ออกแบบวงจรด้วยวิธีลดรูปสมการโดยใช้แผนผังคาร์โนห์ได้
4. ใช้เครื่องมือวัดและทดสอบตรวจสอบการทำงานของวงจรลอจิกเกตได้
5. วิเคราะห์การทำงานของวงจรลอจิกเกตและการลดรูปสมการได้

เครื่องมือและอุปกรณ์

- | | |
|--|-----------------|
| 1. ดีซีโวลต์มิเตอร์ | จำนวน 1 เครื่อง |
| 2. ชุดทดลองดิจิทัล | จำนวน 1 ชุด |
| 3. ไอซีลอจิกเกตตระกูล TTL เบอร์ 7400, 7402, 7404, 7408, 7432, 7486 และ 74266 เบอร์ละ 1 ตัว | จำนวน 7 ตัว |

ลำดับขั้นตอนการทดลอง

1. จากสมการ $Y = AB + A\bar{B} + \bar{A}\bar{B}$ ลดรูปสมการโดยใช้พีชคณิตบูลีน ได้สมการ $Y = A + \bar{B}$
2. ต่อยังวงจรตามรูปด้านล่าง เพื่อพิสูจน์ว่า $AB + A\bar{B} + \bar{A}\bar{B} = A + \bar{B}$



3. ป้อนค่าของตัวแปรอินพุต A, B และ C บันทึกค่าของเอาต์พุต Y 1 และ Y 2 ลงในตารางที่ 1 (สังเกตที่ LED ถ้า LED สว่าง แสดงว่าเป็นลอจิก 1 ถ้า LED ไม่สว่าง แสดงว่าเป็นลอจิก 0)

ตารางที่ 1 ตารางบันทึกผลการทดลองของข้อ 3

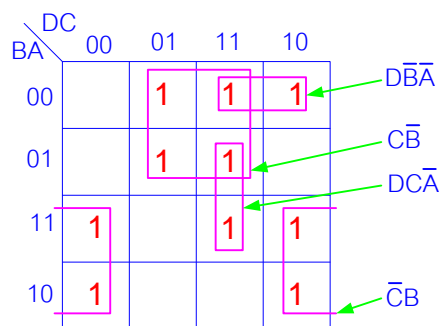
INPUT			OUTPUT	
C	B	A	Y1	Y2
0	0	0	1	1
0	0	1	1	1
0	1	0	0	0
0	1	1	1	1
1	0	0	1	1
1	0	1	1	1
1	1	0	0	0
1	1	1	1	1

4. จากผลการทดลองในตารางที่ 1 สังเกตผลของเอาต์พุต Y1 และ Y2 มีค่าเหมือนกันหรือแตกต่างกันอย่างไร

ตอบ เหมือนกัน

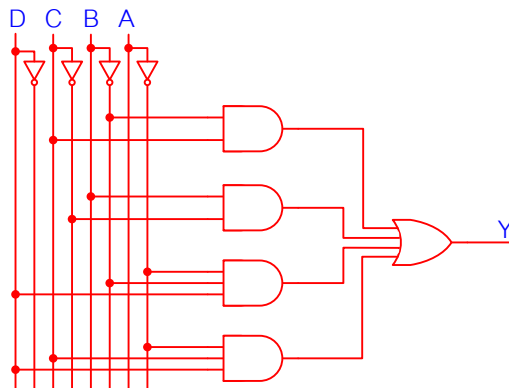
5. จากสมการ ด้านล่าง จงลดรูปสมการโดยเขียนลงในแผนผังคาร์โนห์ ด้านล่าง

$$Y = \bar{D}\bar{C}\bar{B}\bar{A} + \bar{D}\bar{C}B\bar{A} + \bar{D}C\bar{B}\bar{A} + \bar{D}CBA + D\bar{C}\bar{B}\bar{A} + D\bar{C}B\bar{A} + DC\bar{B}\bar{A} + DCB\bar{A} + DC\bar{B}A + DCBA$$



$$Y = \bar{C}\bar{B} + \bar{C}B + D\bar{B}\bar{A} + DC\bar{A}$$

6. นำสมการที่ได้จากข้อ 5 เขียนวงจรลงในรูปด้านล่าง และต่อวงจรตามรูปที่ออกแบบ



7. ป้อนอินพุต A, B, C และ D ตามตารางที่ 2 บันทึกผลลงในตารางที่ 2

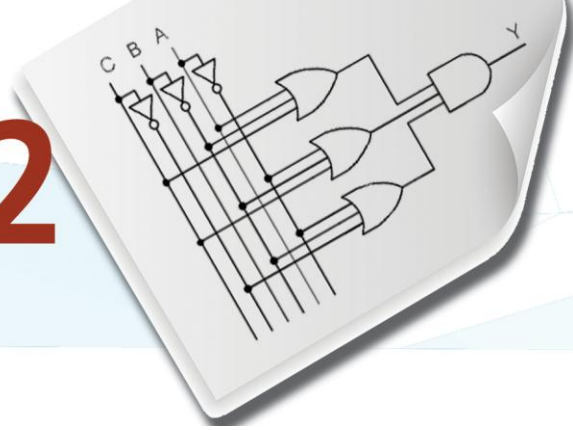
ตารางที่ 2 ตารางบันทึกผลการทดลอง

INPUT				OUTPUT
D	C	B	A	Y
0	0	0	0	0
0	0	0	1	0
0	0	1	0	1
0	0	1	1	1
0	1	0	0	1
0	1	0	1	1
0	1	1	0	0
0	1	1	1	0
1	0	0	0	1
1	0	0	1	0
1	0	1	0	1
1	0	1	1	1
1	1	0	0	1
1	1	0	1	1
1	1	1	0	0
1	1	1	1	1



แบบฝึกหัดหน่วยที่ 2

ลอจิกเกตและการลดรูปสมการ



จงอธิบาย/บรรยาย หรือออกแบบ

1. จงอธิบายคุณลักษณะของลอจิกเกตดังต่อไปนี้

- 1.1 AND gate
- 1.2 OR gate
- 1.3 NOT gate
- 1.4 NAND gate
- 1.5 NOR gate
- 1.6 Exclusive OR gate
- 1.7 Exclusive NOR gate

ตอบ

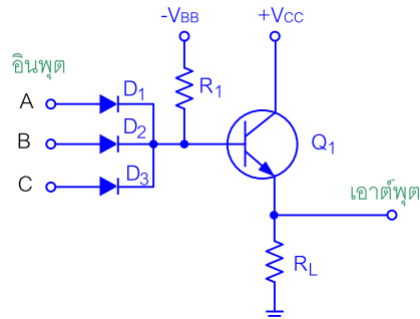
- 1.1 คุณลักษณะของ AND gate คือ เอาต์พุตจะเป็นลอจิก 1 เมื่ออินพุตทุกตัวเป็นลอจิก 1
- 1.2 คุณลักษณะของ OR gate คือ เอาต์พุตจะเป็นลอจิก 1 เมื่ออินพุตตัวใดตัวหนึ่งเป็นลอจิก 1
- 1.3 คุณลักษณะของ NOT gate คือ เอาต์พุตจะมีลอจิกตรงกันข้ามกับอินพุต
- 1.4 คุณลักษณะของ NAND gate คือ เอาต์พุตจะเป็นลอจิก 1 เมื่ออินพุตตัวใดตัวหนึ่งเป็นลอจิก 0
- 1.5 คุณลักษณะของ Exclusive OR gate คือ เอาต์พุตจะเป็นลอจิก 1 เมื่ออินพุตมีลอจิกไม่เหมือนกัน
- 1.5 คุณลักษณะของ Exclusive NOR gate คือ เอาต์พุตจะเป็นลอจิก 1 เมื่ออินพุตมีลอจิกเหมือนกัน

2. จงอธิบายโครงสร้างของลอจิกเกตต่อไปนี้

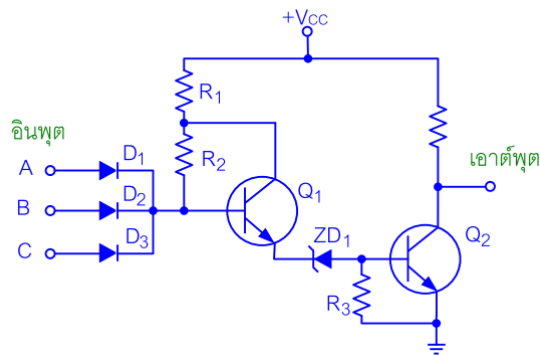
- 2.1 ลอจิกเกตตระกูล DTL
- 2.2 ลอจิกเกตตระกูล HTL
- 2.3 ลอจิกเกตตระกูล TTL
- 2.4 ลอจิกเกตตระกูล NMOS
- 2.5 ลอจิกเกตตระกูล CMOS
- 2.6 ลอจิกเกตประเภท CPLD, VHDL

ตอบ

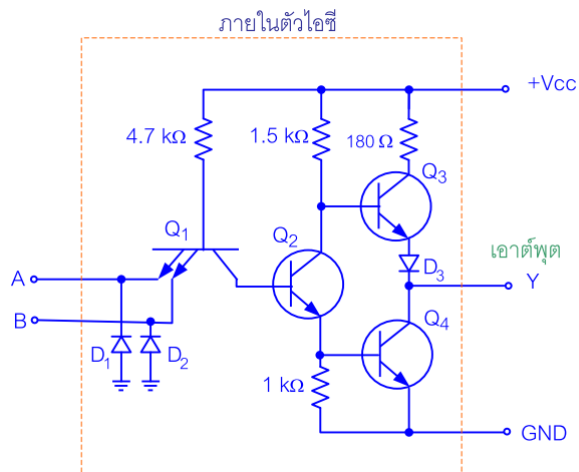
2.1 โครงสร้างของลอจิกเกตตระกูล DTL คือวงจรด้านอินพุตเป็นไดโอด วงจรเอาต์พุตเป็นทรานซิสเตอร์ ดังรูปด้านล่าง



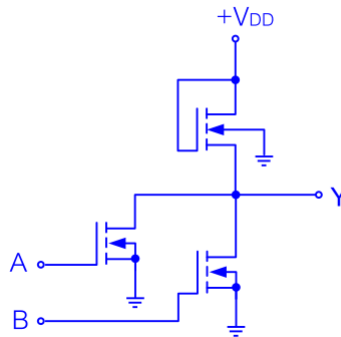
2.2 โครงสร้างของลอจิกเกตตระกูล HTL คือวงจรด้านอินพุตเป็นไดโอด วงจรเอาต์พุตเป็นทรานซิสเตอร์ จำนวน 2 ตัวและมีซีเนอริไดโอดต่อระหว่างขา E ของ Q1 และขา B ของ Q2 เพื่อรักษาระดับของค่าคงที่ Threshold ดังรูปด้านล่าง



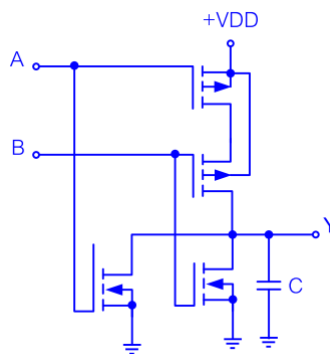
2.3 โครงสร้างของลอจิกเกตตระกูล TTL คือวงจรด้านอินพุตเป็นทรานซิสเตอร์ วงจรเอาต์พุตเป็นทรานซิสเตอร์ ดังรูปด้านล่าง



2.4 โครงสร้างของลอจิกเกตตระกูล NMOS ใช้อุปกรณ์ประเภท FET (Field Effect Transistor) มาเป็นสวิทช์ แทนไปโพลาร์ทรานซิสเตอร์ (BJT) ดังรูปด้านล่าง



2.5 โครงสร้างของลอจิกเกตตระกูล CMOS ประกอบด้วย FET ชนิด P (PMOS) และ FET ชนิด N (NMOS) ต่อร่วมกัน วงจรด้านเอาต์พุตจะใช้ตัวเก็บประจุต่อลงกราวด์ ดังรูปด้านล่าง



2.6 โครงสร้างของลอจิกเกตประเภท CPLD, VHDL ซึ่ง CPLD ย่อมาจาก Complex Programmable Logic Device เทคโนโลยีที่ใช้จะเหมือนกับ EEPROM ทำให้มีความจุของเกตต่ำ โดยทั่วไปจะน้อยกว่า 20,000 เกต แต่ข้อดี คือสามารถเก็บข้อมูลที่โปรแกรมลงไปได้โดยไม่ต้องมีไฟเลี้ยง และในการโปรแกรมจะใช้ทรานซิสเตอร์ 1 ตัวต่อ 1 บิต FPGA ย่อมาจาก Field Programmable Gate Array ใช้เทคโนโลยีในการโปรแกรมเหมือนกับ SRAM (Static RAM) ทำให้สามารถโปรแกรมซ้ำได้โดยไม่ต้องจำกัดจำนวนครั้ง นอกจากนี้ยังมีความจุของเกตในระดับปานกลางถึงสูงมาก (ประมาณ 10,000 – 1,000,000 เกต) ซึ่งข้อดีของ SRAM Based FPGA คือใช้เวลาในการโปรแกรมน้อย การโปรแกรมทำได้ง่ายเทียบได้กับการเขียน SRAM ทั่วไป และเหมาะสำหรับการออกแบบวงจรที่มีความสลับซับซ้อน ส่วนข้อเสียคือไม่สามารถเก็บโปรแกรมในภาวะที่ไม่มีไฟเลี้ยงได้ ข้อสังเกตประการหนึ่งคือ CPLD จะมีความจุต่ำกว่า FPGA รวมถึงมีคุณสมบัติพิเศษอื่น ๆ น้อยกว่า

3. จากตารางด้านล่าง จงเขียนสมการแบบ SOP และ POS

INPUT			OUTPUT Y	สมการ	
C	B	A		แบบ SOP	แบบ POS
0	0	0	0		$C+B+A$
0	0	1	1	$\bar{C}\bar{B}A$	
0	1	0	1	$\bar{C}B\bar{A}$	
0	1	1	1	$\bar{C}BA$	
1	0	0	0		$\bar{C}+B+A$
1	0	1	0		$\bar{C}+B+\bar{A}$
1	1	0	0		$\bar{C}+\bar{B}+A$
1	1	1	1	CBA	

4. จากสมการต่อไปนี้ จงใช้พีชคณิตบูลีนลดรูปของสมการให้เหลือน้อยที่สุด

4.1 $Y = AB + ABC$

4.2 $Y = (A+B)(A+C)+BC$

4.3 $Y = (A+B)(A+\bar{B})(A+\bar{C})$

4.4 $Y = ABC+AB\bar{A}\bar{C}$

4.5 $Y = \bar{A}\bar{B}C + \bar{A}BC + ABC + B\bar{C}$

ตอบ สามารถใช้พีชคณิตบูลีนลดรูปของสมการให้เหลือน้อยที่สุด ได้ดังนี้

4.1 $Y = AB + ABC$

$$= AB(1 + C)$$

$$= AB(1)$$

$$= AB$$

4.2 $Y = (A+B)(A+C)+BC$

$$= A\cdot A + A\cdot C + A\cdot B + B\cdot C + B\cdot C$$

$$= A + A\cdot C + A\cdot B + B\cdot C + B\cdot C$$

$$= A\cdot(1+B) + A\cdot C + B\cdot C\cdot(1+B\cdot C)$$

$$= A + A\cdot C + B\cdot C$$

$$= A\cdot(1 + C) + B\cdot C$$

$$Y = A + B\cdot C$$

$$\begin{aligned}
4.3 \quad Y &= (A+B)(A+\bar{B})(A+\bar{C}) \\
&= (AA+A\bar{B}+BA+B\bar{B})(A+\bar{C}) \\
&= (A+A\bar{B}+BA)(A+\bar{C}) \\
&= (A(1+\bar{B})+BA)(A+\bar{C}) \\
&= (A+BA)(A+\bar{C}) \\
&= A(1+B)(A+\bar{C}) \\
&= A(A+\bar{C})
\end{aligned}$$

$$= A$$

$$\begin{aligned}
4.4 \quad Y &= ABC+A\bar{B}(\overline{\overline{AC}}) \\
&= ABC+A\bar{B}(\overline{\overline{A+C}}) \\
&= ABC+A\bar{B}(A+C) \\
&= ABC+A\bar{B}+A\bar{B}C \\
&= ABC+A\bar{B}C+A\bar{B} \\
&= (ABC+A\bar{B}C)+A\bar{B} \\
&= AC(B+\bar{B})+A\bar{B} \\
&= AC(1)+A\bar{B} \\
&= AC+A\bar{B} \\
&= A(C+\bar{B})
\end{aligned}$$

$$\begin{aligned}
4.5 \quad Y &= \overline{ABC} + \overline{A}BC + ABC + \overline{BC} \\
Y &= \overline{\overline{ABC}} + \overline{A}BC + ABC + \overline{\overline{BC}} \\
&= \overline{\overline{ABC}} + ABC + \overline{A}BC + \overline{\overline{BC}} \\
&= (\overline{\overline{ABC}} + ABC) + \overline{A}BC + \overline{\overline{BC}} \\
&= C(\overline{\overline{AB}} + AB) + \overline{A}BC + \overline{\overline{BC}} \\
&= C(1) + \overline{A}BC + \overline{\overline{BC}} \\
&= C + \overline{A}BC + \overline{\overline{BC}} \\
&= (C + \overline{A}BC) + \overline{\overline{BC}} \\
&= C(1 + \overline{A}B) + \overline{\overline{BC}} \\
&= C(1) + \overline{\overline{BC}} \\
&= C + \overline{\overline{BC}} \\
&= C + \bar{B}
\end{aligned}$$

5. จากสมการต่อไปนี้ จงใช้แผนผังคาร์โนห์ลดรูปของสมการให้เหลือน้อยที่สุด

5.1 $Y = \bar{A}\bar{B}\bar{C} + \bar{A}\bar{B}C + A\bar{B}\bar{C} + A\bar{B}C + ABC\bar{C}$

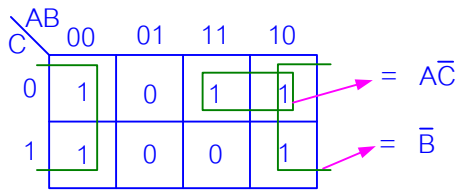
5.2 $Y = \bar{A}\bar{B}\bar{C} + \bar{A}\bar{B}C + \bar{A}B\bar{C} + \bar{A}BC + AB\bar{C} + ABC$

5.3 $Y = \bar{A}\bar{B}\bar{C}D + \bar{A}\bar{B}C\bar{D} + \bar{A}B\bar{C}D + \bar{A}BC\bar{D} + A\bar{B}\bar{C}\bar{D} + A\bar{B}C\bar{D} + A\bar{B}C\bar{D} + ABCD$

5.4 $Y = \bar{A}\bar{B}\bar{C}D + \bar{A}\bar{B}C\bar{D} + \bar{A}B\bar{C}D + \bar{A}BC\bar{D} + A\bar{B}\bar{C}\bar{D} + A\bar{B}C\bar{D} + A\bar{B}C\bar{D} + ABC\bar{D}$

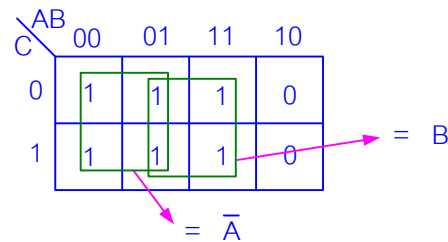
ตอบ สามารถใช้แผนผังคาร์โนห์ลดรูปของสมการให้เหลือน้อยที่สุด ได้ดังนี้

5.1 $Y = \bar{A}\bar{B}\bar{C} + \bar{A}\bar{B}C + A\bar{B}\bar{C} + A\bar{B}C + ABC\bar{C}$



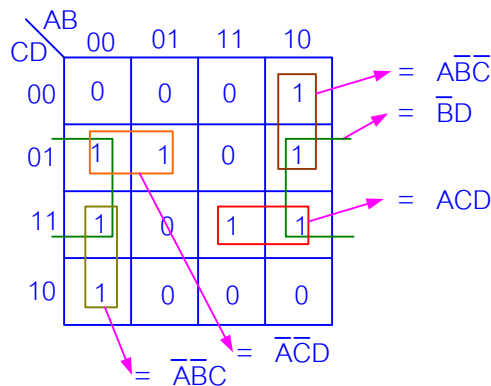
$Y = A + \bar{B}\bar{C}$

5.2 $Y = \bar{A}\bar{B}\bar{C} + \bar{A}\bar{B}C + \bar{A}B\bar{C} + \bar{A}BC + AB\bar{C} + ABC$



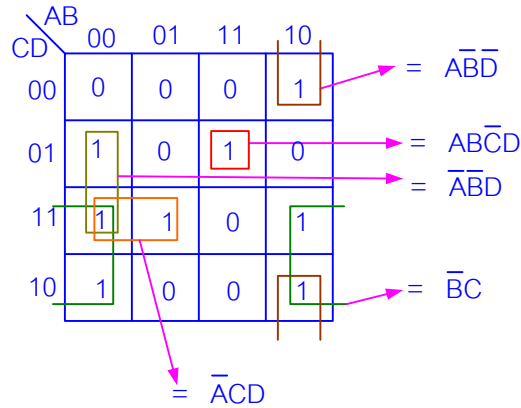
$Y = \bar{A} + B$

5.3 $Y = \bar{A}\bar{B}\bar{C}D + \bar{A}\bar{B}C\bar{D} + \bar{A}B\bar{C}D + \bar{A}BC\bar{D} + A\bar{B}\bar{C}\bar{D} + A\bar{B}C\bar{D} + A\bar{B}C\bar{D} + ABCD$



$Y = \bar{A}\bar{B}C + \bar{A}\bar{B}D + ACD + \bar{B}D + A\bar{B}\bar{C}$

$$5.4 \quad Y = \overline{A}\overline{D}\overline{C}D + \overline{A}\overline{B}\overline{C}\overline{D} + \overline{A}\overline{B}C\overline{D} + \overline{A}BC\overline{D} + A\overline{B}\overline{C}\overline{D} + A\overline{B}C\overline{D} + A\overline{B}\overline{C}D + ABC\overline{D}$$

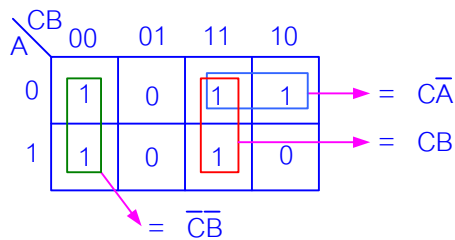


$$Y = \overline{A}\overline{C}D + \overline{B}C + \overline{A}\overline{B}D + AB\overline{C}\overline{D} + A\overline{B}\overline{D}$$

6. จากตารางด้านล่าง จงออกแบบวงจรให้มีขนาดเล็กที่สุด โดยใช้แผนผังคาร์โนห์

INPUT			OUTPUT
C	B	A	Y
0	0	0	1
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	1

ตอบ จากตาราง $Y = \overline{C}\overline{B}\overline{A} + \overline{C}\overline{B}A + C\overline{B}\overline{A} + C\overline{B}A + CBA$



$$Y = \overline{C}\overline{B} + C\overline{B} + C\overline{A}$$